

PAT-NO: JP363239970A
DOCUMENT-IDENTIFIER: JP 63239970 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: October 5, 1988

INVENTOR-INFORMATION:
NAME
INOUE, TATSUO

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP62071827
APPL-DATE: March 27, 1987

INT-CL (IPC): H01L027/04
US-CL-CURRENT: 257/532

ABSTRACT:

PURPOSE: To prevent noise voltages by shortening wiring distances and to make it possible to decrease the mounting man-hours of a smoothing capacitor, by arranging electrode metal layers, which are connected to a power source wiring and a grounding wiring, and laminated bodies, between which a dielectric material is provided, on an integrated circuit chip, on the surface of which the power source wiring and the grounding wiring are provided.

CONSTITUTION: A power source wiring 13 and a grounding wiring 14 are provided on the surface of an integrated circuit chip 11. At least one electrode metal layer 17 is connected to the power source wiring 13 and

arranged on the integrated circuit chip 11. At least one electrode metal layer 23 is connected to the grounding wiring 14 and faces the electrode metal layer 17 through a dielectric material 21. A capacitor, which comprises the electrode metal layers 17 and 23 and the dielectric material 21, is mounted on the integrated circuit chip 11. For example, the electrode metal layer 17 is connected to the power source wiring 13 in the chip by way of a connecting part 18. The electrode metal layer 23 is connected to the grounding wiring 14 in the chip through a connecting part 24, a metal layer 19 and a connecting part 20. They form laminated bodies, in which the polyimide resin film 21 is provided between the electrode metal layers 17 and 23. Thus the capacitor for the power source circuit is constituted.

COPYRIGHT: (C)1988,JPO&Japio

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)10月5日

H 01 L 27/04

C-7514-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-71827

⑰ 出 願 昭62(1987)3月27日

⑱ 発 明 者 井 上 龍 雄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 山川 政樹 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

表面に電源配線および接地配線を備えた集積回路チップと、前記電源配線に接続され前記集積回路チップ上に配設された少なくとも1つの電極金属層と、前記接地配線に接続されると共に前記電極金属層と誘電材を介して対向する少なくとも1つの電極金属層とを備え、前記電極金属層と前記誘電材とから構成されるコンデンサを前記集積回路チップ上に搭載したことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は高速信号伝達を要求される電子機器への使用に適した半導体装置に関する。

〔従来の技術〕

第3図は従来の半導体装置の一実施例を示す断面図である。図において、1は絶縁基板、5a、

5b、5c、5dは絶縁体基板1上に配設された導電部、3は導電部5c上に実装され表面電源配線および接地配線を有する集積回路チップ、4は集積回路チップ3の電源配線と導電部5bを接続するリード線、6は集積回路チップ3の接地配線と導電部5dを介して接地するためのリード線である。さらに、2はコンデンサであり、コンデンサの一方の端子は導電部5bと接続され、他方の端子は導電部5aを介して接地されている。

従来の半導体装置は上記のように構成され、コンデンサ2は集積回路チップ3の電源回路の平滑用コンデンサとして機能する。

〔発明が解決しようとする問題点〕

しかしながら上記のような従来の半導体装置では、集積回路チップ3の電源配線が表面に形成された構造であり、また導電部5bと5c間の距離が最小でも零とはならないために、集積回路チップ3の電源配線とコンデンサ2を接続するリード線4の長さが長くなり、いくら短く形成しても集積回路チップ3の高さよりも短くすることは

できない。このため、リード線4に雑音電圧が生じてしまうという欠点があつた。

また、集積回路チップ3の他に、集積回路チップ3上の電源配線と同等だけコンデンサを基板等に実装する必要があるので、電源配線数が多数の場合は実装工数がかかり、生産性が悪いという問題点があつた。

〔問題点を解決するための手段〕

この発明では、表面に電源配線および接地配線を備えた集積回路チップ上に、電源配線に接続された電極金属層と、接地配線に接続された電極金属層と、これらの間に誘電材を介在させた積層体を配置したものである。

〔作用〕

本発明において、前記積層体は集積回路チップの電源回路の平滑用コンデンサを構成している。

〔実施例〕

本発明の実施例について図と共に説明する。

第1図は本発明の一実施例を示す断面図である。図において、11は集積回路チップ、12は集積

回路チップ上の回路形成面、13は回路形成面に形成されたチップ内電源配線、14は回路形成面12内に形成されたチップ内接地配線である。15は回路形成面12上に形成されたポリイミド系樹脂膜、16a、16bは各個にポリイミド系樹脂膜15上のチップ内電源配線13、チップ内接地配線14の一部を露出するように形成されたスルーホール、17はポリイミド系樹脂膜15上にスルーホール16aの部分を含んで形成された電極金属層、18はスルーホール16aの部分でチップ内電源配線13に接続する電極金属層17の接続部、19はポリイミド系樹脂膜15上にスルーホール16bの部分を含んで形成された金属層、20はスルーホール16bの部分でチップ内接地配線14に接続する金属層19の接続部、21は電極金属層17、19上に表面が平坦になるよう形成されたポリイミド系樹脂膜、22はポリイミド系樹脂膜21上に金属層19の一部を露出するように形成されたスルーホール、23はポリイミド系樹脂膜21上にスルーホール22を含んで形成された電極金属層、

24はスルーホール22の部分で金属層19に接続する電極金属層23の接続部である。

このような装置において、電極金属層17はその一部である接続部18を介してチップ内電源配線と接続され、電極金属層23はその一部である接続部24および金属層19、接続部20を介してチップ内接地配線14と接続され、これらは、電極金属層17と23の間に誘電材であるポリイミド系樹脂膜21を介在させた積層体を作り、電源回路のコンデンサを構成していることになる。

次に本発明の他の実施例を第2図を用いて説明する。なお、第2図において第1図と同一または相当の部分は同符号をつけその説明は省略する。

この実施例では、30は回路形成面12上に形成されたポリイミド系樹脂膜、31はチップ内電源配線13に接続され、回路形成面12上に配設された3層の電極金属層、32はチップ内接地配線14に接続され、電極金属層と互いに対向してポリイミド系樹脂膜30を間に介在するように配設された3層の電極金属層である。このような構

造を製造するには、第1図と同様に回路形成面12上にポリイミド系樹脂膜30、電極金属層32、ポリイミド系樹脂膜30、電極金属層31を順次積層していき、電極金属層31、32が各々層になるまで繰り返すような工程をとる。

このような第2の実施例において、ポリイミド系樹脂膜30と電極金属層31、32との積層体が回路形成面12のインナー・リード・ボンディング(ILB)領域を除く1辺、例えば5mm四方の領域に形成され、電極金属層31、32は1辺4mmの正方形、ポリイミド系樹脂膜30の膜厚は5μmであるとする。この3層5対稱造の対向電極である前記積層体のコンデンサの静電容量(C)は、次式で求めることができる。

$$C = \frac{\epsilon_0 \cdot S}{d} \cdot \epsilon_r$$

ϵ_r : 比誘電率, d : 距離, S : 面積, ϵ_0 : 誘電率。

ここで、 $\epsilon_0 = 8.852 \times 10^{-12}$ (C/V・m),

$\epsilon_r = 3.5$, $S = (4 \times 10^{-3})^2$ m², $d = 5 \times 10^{-6}$ m

であるので静電容量は、 $C = 496 \text{ pF}$ となる。従って、集積回路チップ11は電源回路上に496pFの電源の平滑用コンデンサを搭載していることになる。

また、チップ内電源配線13から平滑用コンデンサまでの配線の長さは1 μm 以下であり、平滑用コンデンサを外付けした場合と比べて5分1以下の長さとなり、電源配線に発生する雑音電圧を防ぐことができる。さらに、ポリイミド系樹脂膜30は摂氏300度以上の耐熱性を有するので、集積回路チップ11を半田付けする場合、半田付けの高温に十分耐えることができる。

本実施例では平滑用コンデンサを1つの電源回路に対応して1つしか設けてないが、集積回路チップ内に複数の電源回路を設ける場合には、複数の平滑用コンデンサを搭載することも可能である。

〔発明の効果〕

以上説明したように、本発明は集積回路チップの回路形成面に電源の平滑用コンデンサを一体に形成するので、電源回路と平滑用コンデンサとの

配線距離を十分短くでき、雑音電圧を防止するという効果がある。さらに、集積回路チップと平滑用コンデンサを一体に形成しており、集積回路チップの実装が同時に平滑用コンデンサの実装も兼ねるので実装工数が低減できるという効果がある。

4. 図面の簡単な説明

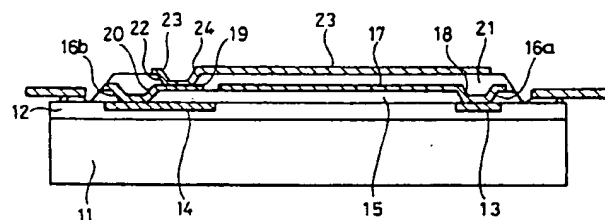
第1図は本発明の第1の実施例を示す断面図、第2図は本発明の第2の実施例を示す断面図、第3図は従来技術の一実施例を示す断面図である。

11・・・集積回路チップ、12・・・回路形成面、13・・・チップ内電源配線、14・・・チップ内接地配線、15, 21, 30・・・ポリイミド系樹脂膜、16a, 16b, 22・・・スルーホール、17, 23, 31, 32・・・電極金属層、19・・・金属層、18, 20, 24・・・接続部。

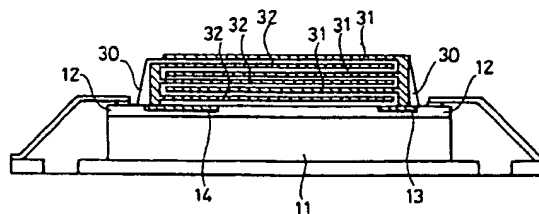
特許出願人 日本電気株式会社

代理人 山川政樹（ほか2名）

第 1 図



第 2 図



第 3 図

